

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-068946

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

G09G 3/28

(21)Application number : 07-226667

(71)Applicant : FUJITSU LTD

(22)Date of filing : 04.09.1995

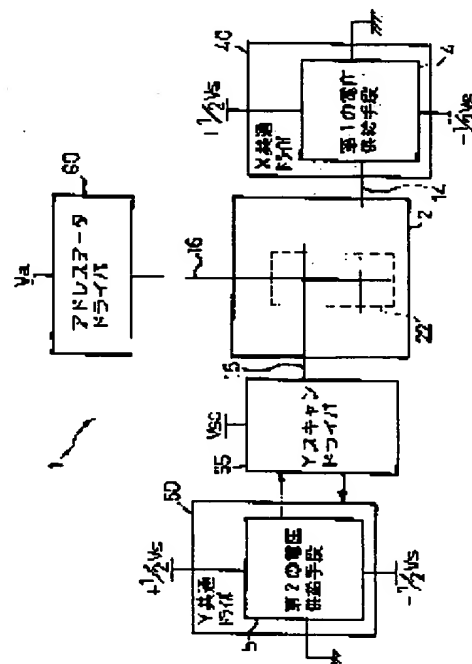
(72)Inventor : KANAZAWA GIICHI
NAGAOKA YOSHIMASA
MATSUI NAOKI
HIROSE TADATSUGU
MACHIDA ATSUSHI
GUEN TAN NIYAN

(54) IMAGE DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To make an address data driver low breakdown strength, to simplify a power source, to suppress the generation of a noise at the fall time of a sustaining discharge pulse and to guarantee stable sustaining discharge in a sustaining discharge period when a display device such as an AC type PDP is driven.

SOLUTION: A first and a second electrodes are arranged on a first substrate, a third electrode is arranged on a second substrate opposing to the first substrate, when write-in in a display cell selected by the first or the second electrode and the third electrode is performed, this device is provided with a first voltage supplying means 4 for supplying a half voltage of a prescribed voltage necessary for the sustaining discharge to the first electrode and a second voltage supplying means 5 for supplying a half voltage of a prescribed voltage having different polarity, the potential for selecting the second electrode in an addressing period has an equivalent voltage as that in the period of sustaining discharge and the equivalent voltage as that in the period of sustaining discharge having the reversed polarity to the voltage of the second electrode is applied on the first electrode.



LEGAL STATUS

[Date of request for examination]

22.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3522013

[Date of registration]

20.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-68946

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl.⁸

G 0 9 G 3/28

識別記号

庁内整理番号

4237-5H

F I

G 0 9 G 3/28

技術表示箇所

B

審査請求 未請求 請求項の数13 O L (全 19 頁)

(21) 出願番号 特願平7-226667

(22) 出願日 平成7年(1995)9月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 長岡 慶真

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

最終頁に続く

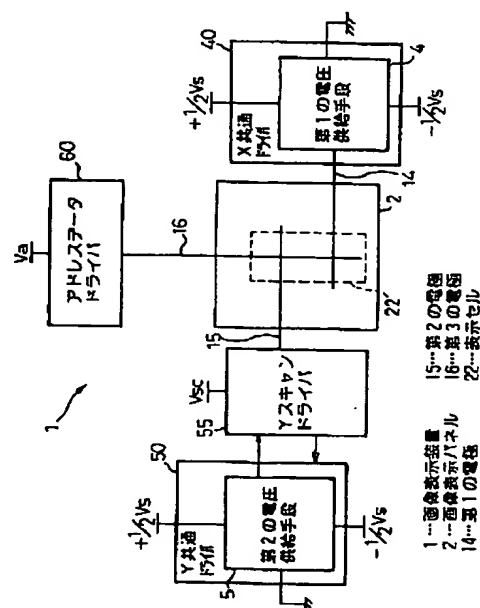
(54) 【発明の名称】 画像表示装置、および画像表示装置の駆動方法

(57) 【要約】

【課題】 AC型PDP等の表示装置を駆動する場合、アドレスデータドライバの低耐圧化と電源の簡素化を図ると共に維持放電パルスの立ち下がり時のノイズ発生を抑え、維持放電期間の安定した維持放電を保証することを目的とする。

【解決手段】 第1の基板に第1および第2の電極を配置し、第1の基板と対向する第2の基板に第3の電極を配置し、第1または第2の電極と第3の電極とにより選択された表示セルへの書き込みを行う場合、維持放電に必要な所定の電圧の $1/2$ の電圧を第1の電極に供給する第1の電圧供給手段4と、極性の異なる所定の電圧の $1/2$ の電圧を第2の電極に供給する第2の電圧供給手段5とを備え、アドレス期間に第2の電極を選択する電位は、維持放電期間と同等の電圧を有し、第2の電極の電圧とは逆極性で維持放電期間の電圧と同等の電圧が第1の電極に印加される。

本発明の原理構成を示すブロック図



【特許請求の範囲】

【請求項1】 第1の基板に第1の電極（14）および第2の電極（15）を表示ライン毎に平行に配置すると共に、該第1の基板または該第1の基板と対向する第2の基板に第3の電極（16）を前記第1および第2の電極（14、15）と直交するように配置し、かつ、前記第1の電極（14）または第2の電極（15）のいずれか一方と、前記第3の電極（16）により選択された画像表示パネル（2）中の表示セル（22）に対する書き込みを実行するアドレス期間と、該書き込みにより書き込まれた情報に基づいて、前記第1および第2の電極

（14、15）で維持放電を行い発光表示を実行する維持放電期間とを備えた画像表示装置であって、前記維持放電期間において、維持放電に必要な所定の電圧として、前記第1の電極（14）に対し該所定の電圧のほぼ1/2の電圧を供給する第1の電圧供給手段

（4）と、

前記第2の電極（15）に対し極性の異なる該所定の電圧のほぼ1/2の電圧を供給する第2の電圧供給手段

（5）とを備えており、

前記アドレス期間において、前記第2の電極（15）を選択する電位は、前記維持放電期間に供給される電圧とほぼ同等の電圧を有し、さらに、前記第2の電極（15）に印加される電圧とは逆極性にて、前記維持放電期間に供給される電圧とほぼ同等の電圧が前記第1の電極（14）に印加されることを特徴とする画像表示装置。

【請求項2】 前記アドレス期間に印加され、かつ、前記第2の電極（15）を選択する電位は、0Vに対して負極性である電圧パルスからなり、前記第1の電極（14）の電位は、0Vに対して正極性である電圧パルスからなる請求項1記載の画像表示装置。

【請求項3】 前記アドレス期間に印加される第3の電極（16）の選択電位は、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧を有する請求項2記載の画像表示装置。

【請求項4】 前記第1の電圧供給手段（4）および第2の電圧供給手段（5）は、前記維持放電期間において、維持放電に必要な所定の印加電圧を取り除く場合に動作させる維持電圧解除用スイッチング手段を備えており、該維持電圧解除用スイッチング手段は、前記第1の電極（14）または第2の電極（15）に維持放電を実行するために必要な電流を流すための維持放電用スイッチング手段に対してインピーダンスの高い素子にて構成される請求項1記載の画像表示装置。

【請求項5】 前記のインピーダンスの高い素子は、導通状態での抵抗が高い電界効果トランジスタからなる請求項4記載の画像表示装置。

【請求項6】 前記のインピーダンスの高い素子は、前記電界効果トランジスタの出力段に抵抗を挿入することにより実現される請求項4記載の画像表示装置。

【請求項7】 全面書き込み放電、および、全面自己消去放電による全表示セルのリセットを行う場合、前記第3の電極（16）に印加する電圧は、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧であり、前記第1、第2および第3の電極（14、15および16）のすべてを、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧にすることで全面自己消去放電が実行される請求項4記載の画像表示装置。

【請求項8】 第1の基板に第1の電極および第2の電極を表示ライン毎に平行に配置すると共に、該第1の基板または該第1の基板と対向する第2の基板に第3の電極を前記第1および第2の電極と直交するように配置し、かつ、前記第1の電極または第2の電極のいずれか一方と、前記第3の電極により選択された画像表示パネル中の表示セルに対する書き込みを実行するアドレス期間と、該書き込みにより書き込まれた情報に基づいて前記第1および第2の電極で発光表示を実行する維持放電期間とを備えた画像表示装置の駆動方法であって、

前記維持放電期間において、維持放電に必要な所定の電圧として、前記第1の電極に対し該所定の電圧のほぼ1/2の電圧を印加すると共に、前記第2の電極に対し極性の異なるほぼ1/2の電圧を印加することにより維持放電を行い、

前記アドレス期間において、前記第2の電極を選択する電位は、前記維持放電期間に印加される電圧とほぼ同等の電圧を有し、さらに、前記第2の電極に印加される電圧とは逆極性にて、前記維持放電期間に印加される電圧とほぼ同等の電圧が前記第1の電極に印加されることを特徴とする画像表示パネルの駆動方法。

【請求項9】 前記アドレス期間に印加され、かつ、前記第2の電極を選択する電位は、0Vに対して負極性である電圧パルスからなり、前記第1の電極の電位は、0Vに対して正極性である電圧パルスからなる請求項8記載の駆動方法。

【請求項10】 前記アドレス期間に印加される第3の電極の選択電位は、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧を有する請求項9記載の駆動方法。

【請求項11】 第1の基板に第1の電極および第2の電極を表示ライン毎に平行に配置すると共に、該第1の基板または該第1の基板と対向する第2の基板に第3の電極を前記第1および第2の電極と直交するように配置し、かつ、前記第1の電極または第2の電極のいずれか一方と、前記第3の電極により選択された画像表示パネル中の表示セルに対する書き込みを実行するアドレス期間と、該書き込みにより書き込まれた情報に基づいて前記第1および第2の電極で発光表示を実行する維持放電期間とを備えた画像表示装置の駆動方法であって、

前記維持放電期間において、維持放電を実行するために

前記第1および第2の電極間にて交互に印加される双方の電圧パルスが入れ代わる際に、前記第3の電極の電位を一定電圧から引き下げることを特徴とする画像表示装置の駆動方法。

【請求項12】 前記維持放電期間において、前記第3の電極の電位を一定電圧から一旦、ほぼ0Vに引き下げ、その後前記第3の電極の電位を元の一定電圧に引き上げる場合、前記第1および第2の電極と前記第3の電極間の静電容量によって前記第3の電極の電位を引き上げる請求項11記載の駆動方法。

【請求項13】 最初の維持放電用の電圧パルスが印加される場合のみ、前記第3の電極を駆動する手段によって該第3の電極の電位を所定の電圧にする請求項12記載の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ機能を有する表示素子である表示セルの集合によって構成された画像表示パネル上に表示データを表示するために画像表示パネルを駆動する技術に係り、特に、AC（交流）型のプラズマディスプレイパネルにおいて、低コスト化と信頼性の向上を実現するための画像表示装置および画像表示装置の駆動方法に関する。

【0002】上記のAC型のプラズマディスプレイパネルを用いた画像表示装置、すなわち、AC型プラズマディスプレイ装置（通常、AC型PDPと略記される）は、2本の維持放電電極に、交互にパルス状の電圧波形を印加することで放電を持続し、発光表示を行うものである。一度の放電は、パルス印加後、1 μ s（マイクロ秒、1マイクロ秒は10⁻⁶秒に相当する）から数 μ sで終了する。放電によって発生した正電荷であるイオンは、負の電圧が印加されている電極上の絶縁層の表面に蓄積され、同様に負電荷である電子は、正の電圧が印加されている電極上の絶縁層の表面に蓄積される。

【0003】したがって、初めに高い電圧（書き込み電圧）のパルス（書き込みパルス）で放電させて壁電荷を生成した後、極性の異なる前回よりも低い電圧（維持放電電圧）のパルス（維持放電パルス、サスティンパルスともよばれる）を印加すると、前に蓄積された壁電荷が維持放電電圧に重複され、放電空間に対する電圧は大きなものとなり、放電電圧のしきい値を越えて発光による放電を開始する。つまり、一度書き込み放電を行い壁電荷を生成した表示セルは、その後、維持放電パルスを交互に逆極性で印加することで、放電を持続するという特徴がある。これをメモリ効果、またはメモリ駆動と呼んでいる。AC型PDPは、このメモリ効果を利用してプラズマ・ディスプレイ・パネル上への表示を実現するのである。

【0004】

【従来の技術】AC型PDPには、第1の電極および第

2の電極からなる2本の電極で選択放電（アドレス放電）および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型がある。特に、多階調表示を行うカラー表示用PDPでは、放電により発生する紫外線によって表示セル内の蛍光体を励起しているが、この蛍光体は、放電により同時に発生する正電荷であるイオンの衝撃に非常に弱いという欠点がある。上記の2電極型では、蛍光体がイオンに直接当たるような構成になっているため、蛍光体の寿命低下を招くおそれがある。これを回避するために、カラー表示用PDPでは、面放電を利用した3電極型の構造が一般に使用されている。

【0005】さらに、この種の3電極面放電型構造においても、維持放電を行う第1の電極および第2の電極が配置されている基板に第3の電極を形成する場合と、対向するもう一つの基板に第3の電極を形成する場合がある。さらに、同一基板上に上記の3種の電極を形成する場合でも、維持放電を行う2本の電極の上に第3の電極を配置する場合と、その下に第3の電極を配置する場合がある。さらにまた、蛍光体から発せられた可視光を、その蛍光体を透過して見る場合（透過型）と、蛍光体からの反射光を見る場合（反射型）がある。

【0006】また一方で、放電を行う表示セル（放電セルともよばれる）は、障壁（リブ、またはバリアともよばれる）によって、隣接する表示セルとの空間的な結合が断ち切られている。さらに、このような障壁が、放電セルを取り囲むように四方に設けられ各放電セルが完全に密封されている場合と、上記障壁が一方向のみに設けられ、障壁のない側では、電極間のギャップ（すなわち、電極間の距離）の適正化によって隣接する表示セルとの空間的な結合が切られている場合がある。

【0007】本明細書では、維持放電を行う2本の電極が配置されている基板とは別の対向する基板に第3の電極を形成した構造の画像表示パネルを用いた画像表示装置を対象とする。さらに、本明細書では、障壁が垂直方向（すなわち、第1の電極と第2の電極に直交し、かつ、第3の電極と平行な方向）にのみ形成され、第1の電極および第2の電極からなる維持電極（サスティン電極ともよばれる）の一部が透明電極により構成されている反射型の3電極面放電・AC型PDPの例をもとに従来の画像表示装置の構成を説明することとする。

【0008】図12～図14は、一般的な反射型の3電極面放電・AC型PDPの構造を示す図である。さらに詳しく説明すると、図12は、一般的な反射型の3電極面放電・AC型PDP中のプラズマディスプレイパネルからなる画像表示パネルの概略的構造を示す平面図、図13は図12の3電極面放電・AC型PDPにおける画像表示パネル中の一つの表示セル（図12の網かけ部分）のアドレス電極に沿った概略的構造を示す断面図（垂直方向）、そして、図14は、図12の3電極面放

電・AC型PDPの維持電極に沿った概略的構造を示す断面図（水平方向）である。

【0009】図12において、2は、例えばプラズマディスプレイパネルからなる画像表示パネルを表している。さらに、14は、例えば共通のXサスティン電極からなる第1の電極を表し、15は、例えばN個（Nは任意の正の整数）の表示ラインにそれぞれ対応するYスキャン電極Y1、Y2、…、YNからなる第2の電極を表している。これらの第1の電極14および第2の電極15は、互いに平行に配置されている。さらに、16は、例えばMビット（Nは任意の正の整数）分の複数のアドレス電極A1、A2、…、AMからなる第3の電極を表している。ここで、一对のXサスティン電極およびYスキャン電極と1本のアドレス電極との交差部分には、M×N個の表示セル22が構成されている。なお、23は表示セル22を仕切る障壁を表している。

【0010】さらに、図13に示すように、画像表示パネル2（図12）は、第1の基板としての前面ガラス基板24と第2の基板としての背面ガラス基板25からなる2枚のガラス基板によって構成されている。第1の基板（前面ガラス基板24）には、平行する第1の電極14および第2の電極15からなる維持電極を備えている。これらの維持電極は、第1の電極14および第2の電極15の主要部を構成するバス電極と、このバス電極の下地となる透明電極17により構成されている。この透明電極17は、蛍光体28からの反射光を透過させる役割を有しているため、ITO（酸化インジウムを主成分とする透明の導体膜）等により形成されている。

【0011】また一方で、上記のバス電極は、電極抵抗による電圧降下（電圧ドロップ）を防止するため、低抵抗の材料により形成する必要がある。このような必要条件を満たすために、バス電極は、通常、クロム（Cr）または銅（Cu）によって形成される。さらに、このバス電極は、ガラス等の誘電体層26により被覆され、放電空間Sの放電面には、保護膜27として酸化マグネシウム（MgO）膜が形成される。さらにまた、上記第1の基板と向かい合う第2の基板には、維持電極と直交する形で第3の電極（アドレス電極）16が形成される。

【0012】さらに、図14に示すように、隣接するアドレス電極間には障壁23が形成される。これらの障壁23の間には、アドレス電極を覆う形で赤、緑および青の発光特性を有する蛍光体28が形成される。ここでは、障壁23の尾根とMgO膜の面とが密着する形で2枚のガラス基板が組み立てられている。図15は、一般的な3電極面放電・AC型PDPを駆動するための周辺回路の構成を示すブロック図である。

【0013】図15に示す3電極面放電・AC型PDP内の画像表示パネル2、例えば、プラズマディスプレイパネルにおいては、既述したとおり、共通のXサスティ

ン電極等からなる第1の電極14、および、Yスキャン電極Y1、Y2、Y3、…、YN等からなる第2の電極15の対が表示ライン毎に平行に配置される。さらに、アドレス電極A1、A2、A3、…、AM等からなる第3の電極16を、第1および第2の電極14、15の対と対向する位置であって第1および第2の電極14、15と直交する状態に配置することによって、上記の第1および第2の電極14、15の対と第3の電極16との交点の位置に平面マトリクス状の複数の表示セル22が形成される。

【0014】さらに、図15において、プラズマディスプレイパネル内の表示セル22を駆動するための複数種のドライバ（駆動回路部）や、これらのドライバ回路を制御するための制御回路部を含む周辺回路の構成を説明することとする。図15におけるドライバとして、上記表示セルのアドレス放電を目的として各表示ライン毎にアドレス電極A1、A2、A3、…、AMのデータ駆動を行うアドレスデータドライバ60と、上記表示セル22の維持放電を目的としてXサスティン電極Xに対し共通の維持放電駆動（すなわち、サスティン駆動）を行うX共通ドライバ回路40とが設けられている。さらに、選択書き込み放電を行うアドレス期間では、Yスキャン電極Y1～YN（例えば、N=480）に対し上記アドレスデータドライバ60にてセットされた1表示ライン分のデータに関して順次データ走査（スキャン）を行い、維持放電期間（すなわち、サスティン期間）になるとサスティン駆動を行うY共通ドライバ50が設けられている。さらに、このY共通ドライバ50にはYスキャンドライバ55が接続されている。このYスキャンドライバ55は、Y共通ドライバ50によって、自身の供給電源そのものに維持放電パルス（印加してYスキャン電極Y1～YNに対し共通のサスティン駆動を行うものである）。

【0015】さらに、図15においては、上記のアドレスデータドライバ60、X共通ドライバ40、Y共通ドライバ50、Yスキャンドライバ55、およびプラズマディスプレイパネルを含むAC型PDPの動作をすべて制御する制御回路部31が設けられている。この制御回路部31の主要部は、複数の表示セル22のアドレス放電により表示データの制御を行う表示データ制御部32と、上記の各種のドライバによるプラズマディスプレイパネル内の表示セル22を駆動するタイミングを制御するパネル駆動制御部34とから構成される。

【0016】ここで、アドレス電極A1、A2、A3、…、AMは、1本（1ビット）毎にアドレスデータドライバ60に接続され、このアドレスデータドライバ60によってアドレス放電時のアドレスパルスが印加される。さらに、Yスキャン電極Y1～YNは個別にYスキャンドライバ55に印加される。このYスキャンドライバ55はY共通ドライバ50に接続されており、アドレ

10

20

30

40

50

ス放電時のスキャンパルスは、Yスキャンドライバ55から生成される。さらに、維持放電パルス等は、Y共通ドライバ50から生成され、Yスキャンドライバ55を経由してYスキャン電極Y1~YNに印加される。また一方で、Xサスティン電極Xは、プラズマディスプレイパネルの全面にわたって共通に接続され取り出されている。X共通ドライバ40は、書き込みパルスや維持放電パルス等を生成する。これらのドライバの回路は、制御回路部31によって制御される。この制御回路部31は、AC型PDPの外部より入力されるドットクロックCLOCK、垂直同期信号VSYNC、水平同期信号HSYNCおよび表示データDATAによって制御される。

【0017】さらに詳しく説明すると、制御回路部31内の表示データ制御部32は、フレームメモリ部33を有している。外部から入力されるカラー表示用の表示データDATAは、ドットクロックCLOCKに基づいて、AC型PDPを駆動するためのデータに並び替えられ、この並び替えられたデータは、フレームメモリ部33内に一旦格納された後、アドレス期間にアドレス放電制御用の制御信号（すなわち、Mビットの表示データ信号）として順次アドレスデータドライバ60に転送される。

【0018】また一方で、制御回路部31内のパネル駆動制御部34は、外部から入力されるドットクロックCLOCK、垂直同期信号VSYNC、および水平同期信号HSYNC等の各種信号に基づいて、Yスキャンドライバ55を駆動するための制御信号を生成するスキャンドライバ制御部35と、X共通ドライバ40およびY共通ドライバ50を駆動するための制御信号を共通ドライバ制御部36とを有している。

【0019】図16は、アドレス期間／維持放電期間分離型・書き込みアドレス方式で、かつ、リセット期間に全面消去放電を用いた従来の画像表示パネル駆動方式を説明するための駆動波形図である。図16においては、従来の「アドレス期間／維持放電期間分離型・書き込みアドレス方式」における1サブフレーム（サブフィールド）期間の駆動波形を例示することとする。

【0020】図16の例では、1サブフレームは、リセット期間、アドレス期間および維持放電期間（すなわち、サスティン期間）に分離される。リセット期間の最初の部分においては、まず、すべてのYスキャン電極Y1~YNの電位が0Vのレベル（GNDレベル）にされ、これと同時に、Xサスティン電極Xに対し、電圧 $V_s + V_w$ （例えば、約330V）からなる全面書き込みパルス（例えば、約10 μ sのパルス幅）が印加される。この全面書き込みパルスを印加することにより、以前の表示状態にかかわらず、全表示ラインの全表示セルで放電が行われる。このときのアドレス電極A1、A2、A3、…、AMの各々の電位は、約100Vの電圧

（ V_{aw} ）を有する。

【0021】さらに、リセット期間の残りの部分においては、Xサスティン電極とアドレス電極の電位が0Vのレベルになり、全表示セルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。この放電は、電極間の電位差がないため、壁電荷が形成されることはなく、空間電荷は自己中和して放電が終息する。このような現象は、一般に、自己消去放電とよばれる。この自己消去放電によって、プラズマディスプレイパネル内の全表示セルの状態が、壁電荷のない均一な状態となる。上記のリセット期間は、前のサブフレームの点灯状態にかかわらず、すべての表示セルを同じ状態にする作用があり、次のアドレス放電（書き込み放電）を安定に行うことができる。

【0022】次に、アドレス期間において、表示データに応じた表示セルのオン／オフ（ON/OFF）動作を行うために、線順次方式によりアドレス放電が行われる。このアドレス期間では、まず、Yスキャン電極に $-V_Y$ の電圧（例えば、約150V）を有するスキャンパルスが印加されると共に、アドレス電極中、維持放電を起こす表示セル、すなわち、点灯させるべき表示セルに対応するアドレス電極に対し V_a の電圧（例えば、約50V）を有するアドレスパルスが選択的に印加され、上記の点灯させるべき表示セルのアドレス電極とYスキャン電極との間で放電が起こる。次に、この放電をブライミング（種火）として、Xサスティン電極（Xサスティン電極の電位は、例えば、約50Vの電圧 V_X を有する）とYスキャン電極との間の放電に移行する。これにより、選択された表示ライン上の選択セルに対応するXサスティン電極とYスキャン電極上のMgO膜等の面に対し、維持放電が可能な量の壁電荷が蓄積される。

【0023】以下、順次、他の表示ラインについても、同じような動作が行われ、全表示ラインにおいて、新たな表示データの書き込みが行われる。その後、維持放電期間になると、Xサスティン電極とYスキャン電極に対し交互に、電圧 V_s （例えば、約180V）からなる維持放電パルスが印加されて維持放電が行われ、1サブフレームの画像表示が行われる。なお、このような「アドレス期間／維持放電期間分離型・書き込みアドレス方式」においては、維持放電期間の長短、すなわち、維持放電パルスの回数によって点灯表示セルの輝度が決定される。

【0024】図17は、図16のアドレス期間／維持放電期間分離型・書き込みアドレス方式において複数のサブフレームを形成した状態を示す図である。ただし、ここでは、多階調表示の一例として、256階調分の階調表示を行う場合のプラズマディスプレイパネルの駆動方法を例示することとする。図17の例では、1フレームは、8個のサブフレームSF1、SF2、SF3、SF4、…SF8に区分される。

【0025】そして、これらのサブフレームSF1、SF2、SF3、SF4、…SF8においては、全面書き込み放電が行われるリセット期間、および、アドレスラインに沿って選択書き込み放電が行われるアドレス期間は、それぞれ、同一の長さとなる。また一方で、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率となる。したがって、表示セルを点灯させるべきサブフレームを選択して組み合わせることにより、0から255までの256段階 ($2^8 = 256$) の輝度の違いを表示することができる。

【0026】さらに、実際の時間配分の一例は以下のようになる。プラズマディスプレイパネル上の画面の書き換えの周波数を60Hz (ヘルツ) とした場合、1フレームの長さは1/60秒、すなわち、16.6ms (ミリ秒、1ミリ秒は 10^{-3} 秒に相当する) となる。1フレーム内の維持放電サイクル (すなわち、サスティンサイクル) の回数を510回とすると、各サブフレームの維持放電サイクルの回数は、サブフレームSF1が2サイクル、サブフレームSF2が4サイクル、サブフレームSF3が8サイクル、サブフレームSF4が16サイクル、サブフレームSF5が32サイクル、サブフレームSF6が64サイクル、そして、サブフレームSF7が128サイクル、そして、サブフレームSF8が256サイクルとなる。維持放電サイクルの時間を8 μ sとすると、1フレームでの合計は、4.08msとなる。したがって、残りの約1.2msの中に8回のリセット期間とアドレス期間が割り当てられる。この場合、各サブフレームのリセット期間は50 μ sである。さらに、1表示ラインあたりのスキュンに相当するアドレスサイクルに必要な時間は3 μ sであるから、垂直方向に480ラインの表示ラインを持つプラズマディスプレイパネルであれば、多階調のカラー表示に対し1.44ms (3 \times 480) の時間を必要とする。

【0027】

【発明が解決しようとする課題】上記のとおり、一般的なAC型PDP等における従来の画像表示パネル駆動方式では、アドレス期間が終了して維持放電期間に入ると、Xサスティン電極 (第1の電極) およびYスキュン電極 (第2の電極) に対し交互に、維持放電パルスが印加されて維持放電が行われ、その場合のアドレス電極の電位は、例えば、維持放電パルスの電圧 V_s の約1/2、あるいは、全面書き込み放電時のアドレス電極の電位が有する電圧 V_{aw} と同程度の値に設定され、かつ、一定の値に固定されている。

【0028】維持放電期間中のアドレス電極の電位は、アドレス放電を行った選択セルにおいては、安定に維持放電が行えるような電位でなくてはならず、また一方で、アドレス放電を行わなかった非選択セルにおいては、維持放電パルスが繰り返し印加されるなかで、放電を引き起こすことのないような電位でなくてはならな

い。すなわち、Xサスティン電極およびYスキュン電極に対し維持放電パルスが印加された場合、この維持放電パルスの電圧である V_s とアドレス電極の電位との電位差を放電開始電圧未満にすることが必要になる。

【0029】このような必要条件が満足されない場合、アドレス期間で選択を行わなかった表示セルにおいても放電を開始してしまうおそれがある。また一方で、アドレス期間でアドレス放電を行い、維持放電を持続する必要がある表示セルは、アドレス期間に蓄積された壁電荷によって安定に維持放電を行うことが要求される。アドレス放電によって、アドレス電極側とXサスティン電極には負 (−) の壁電荷が蓄積され、Yスキュン電極側には正 (+) の壁電荷が蓄積される。しかしながら、この場合、維持放電時の初めの部分では、Yスキュン電極およびアドレス電極間においても放電を行う可能性が生ずる。このため、Yスキュン電極およびアドレス電極間の放電が先行し、Xサスティン電極およびYスキュン電極間の目的とする維持放電が行えないおそれが出てくる。このため、点灯させるべき選択セルにおいても、アドレス電極の電位に最適値が存在する。

【0030】上記の現象は、面放電を行うXサスティン電極およびYスキュン電極間の放電開始電圧よりも、対向放電を行うYスキュン電極およびアドレス電極間の放電開始電圧が非常に低くなるという、アドレス電極を面放電を行う側と向かい合う基板に配置した3電極面放電・AC型PDPの一般的な特性に起因して生ずる。このような観点から、従来の駆動方式では、維持放電期間のアドレス電極の電位を、維持放電パルスの電圧 V_s の約1/2の値 (あるいは、全面書き込み放電時のアドレス電極の電位が有する電圧 V_{aw} と同程度の値) に維持するようにしている。この値の電位が維持されている場合、維持放電時に、発生したイオンや電子等の荷電粒子がアドレス電極側に飛来する可能性が最も少なくなり、これらの荷電粒子が壁電荷として蓄積されることも少なくなる。なお、アドレスデータドライバに付加される電源の数を節約するために、維持放電期間のアドレス電極の電位を、維持放電パルスの電圧 V_s の約1/2の値 (例えば、約90V) に近いような全面書き込み放電時 (リセット期間) の電圧 V_{aw} (例えば、約100V) と同程度の値にすることも考えられる。

【0031】この場合、リセット期間において、全面書き込み放電および全面消去放電を行うことで、Xサスティン電極側とYスキュン電極側のMgO膜等の表面に蓄積された壁電荷を積極的に除去してクリアの状態になっているが、アドレス電極側は、比較的クリアの状態になりにくい。この結果、アドレス放電の均一性が失われるおそれが生じてくる。よって、維持放電期間のアドレス電極の電位を0Vにすることにより、壁電荷が最も蓄積しにくい状態にしておくことが必要である。

【0032】本来、アドレスデータドライバは、アドレ

ス期間に表示セルの選択を行うための回路であり、表示セルの選択と非選択とを互いに区別する電位である約0Vの電圧と V_a の電圧（例えば、約50V）の2値出力が可能であればよい。さらに、アドレスデータドライバの耐圧は V_a （50V）を満足すればよい。ところが、従来の駆動方式では、前述の理由により、維持放電期間には、アドレス電極の電位を維持放電パルスの電圧 V_s の約1/2の値に維持することがどうしても必要になってくる。このため、第1の問題として、アドレスデータドライバの耐圧を90V（維持放電パルスの電圧 V_s の約1/2）以上にすることが必要になり、アドレスデータドライバの低耐圧化による低コスト化を妨げるおそれが生ずる。因みに、アドレスデータドライバの耐圧が低ければ低いほど、集積回路化のための製造プロセス等が簡単になり、ドライバの値段が格段に安くなる。

【0033】さらに、特開昭59-94328号公報等によれば、維持放電を行う場合に印加する電圧として、2つの維持電極に対し維持放電パルスの電圧の半分の電圧を、それぞれ正極性および負極性にて同じタイミングで印加し、維持放電を行っている。しかしながら、この場合、アドレス放電を行うときに、維持電極に印加するパルスの電圧は、維持放電を行う場合に印加する電圧とは異なった値を有しているため、第2の問題として、多くの電源を必要とし、アドレスデータドライバのコストが増大するおそれが生ずる。

【0034】さらにまた、従来の周辺回路の構成によれば、維持放電パルスを終了させる場合、電圧 V_s （約180V）から0Vまで急峻に立ち下がるため、瞬間的に大きな電流が流れ、ノイズが発生する。このため、第3の問題として、この種のノイズが他の回路に侵入したり不要な電波となって他の回路に放射されたりすることによって、誤動作や障害が発生するおそれが生ずる。

【0035】また一方で、維持放電期間中のアドレス電極の電位を、例えば、全面書き込み放電時のアドレス電極の電位が有する電圧 V_{aw} と同程度の値に固定する場合について考察することとする。この場合も、維持放電期間中のアドレス電極の電位は、アドレス放電を行った選択セルにおいては、安定に維持放電が行えるような電位でなくてはならず、また一方で、アドレス放電を行わなかった非選択セルにおいては、維持放電パルスが繰り返し印加されるなかで、放電を引き起こすことのないような電位でなくてはならない。

【0036】ここに、アドレス電極とXサスティン電極（第1の電極）およびYスキャン電極（第2の電極）の異常放電によって維持放電が減衰してしまう現象を説明する。維持放電期間中のXサスティン電極およびYスキャン電極には維持放電パルスが印加されるが、それぞれの維持放電パルスが入れ替わる瞬間、すなわち、Xサスティン電極およびYスキャン電極の電位が両方共0Vになるとき、維持放電期間中のアドレス電極の電位が電圧

V_{aw} の値を有していると、放電電位が低い特性のプラズマディスプレイパネルについては、アドレス電極とXサスティン電極との間、および、アドレス電極とYスキャン電極との間で異常放電を引き起こす状態となる。このような異常放電の発生により、第4の問題として、安定した維持放電が保証されず、AC型PDP等の安定な動作特性を妨げるおそれが生ずる。

【0037】本発明は上記問題点に鑑みてなされたものであり、AC型PDPのプラズマディスプレイパネル等を駆動する場合に、アドレスデータドライバの低耐圧化および電源構成の簡素化を実現すると共に、維持放電パルスの立ち下がり時のノイズの発生を抑制することが可能な画像表示装置、および画像表示装置の駆動方法を提供することを第1の目的とするものである。

【0038】さらに、本発明は、維持放電期間中にアドレス電極と第1の電極との間、および、アドレス電極と第2の電極との間で異常放電が発生するのを防止し、安定した維持放電を保証することが可能な画像表示装置の駆動方法を提供することを第2の目的とするものである。

【0039】

【課題を解決するための手段】図1は本発明の原理構成を示すブロック図である。ただし、ここでは、画像表示装置1の中で本発明に関係する駆動回路部および画像表示パネル2の部分为重点的に示すこととする。さらに、ここでは、複数の表示セル中の一つの表示セル22を拡大して示すこととする。なお、これ以降、前述した構成要素と同様のものについては、同一の参照番号を付して表すこととする。

【0040】本発明の画像表示装置は、図1に示すように、第1の基板に第1の電極14および第2の電極15を表示ライン毎に平行に配置すると共に、第1の基板またはこの第1の基板と対向する第2の基板に第3の電極16を第1および第2の電極14、15と直交するように配置し、かつ、第1の電極14または第2の電極15のいずれか一方と、第3の電極16により選択された画像表示パネル2中の表示セル22に対する書き込みを実行するアドレス期間と、この書き込みにより書き込まれた情報に基づいて、第1および第2の電極14、15で維持放電を行い発光表示を実行する維持放電期間とを備えた画像表示装置を対象にしている。

【0041】さらに、上記の第1の目的を達成するために、本発明の画像表示装置は、図1に示すように、維持放電期間において、維持放電に必要な所定の電圧として、第1の電極14に対しこの所定の電圧のほぼ1/2の電圧を供給する第1の電圧供給手段4と、第2の電極15に対し極性の異なる上記所定の電圧のほぼ1/2の電圧を供給する第2の電圧供給手段5とを備えている。さらに、本発明の画像表示装置では、アドレス期間において、第2の電極15を選択する電位は、維持放電期間

に供給される電圧とほぼ同等の電圧を有し、さらに、第2の電極15に印加される電圧とは逆極性にて、維持放電期間に供給される電圧とほぼ同等の電圧が第1の電極14に印加されるようになっている。

【0042】好ましくは、本発明の画像表示装置において、アドレス期間に印加され、かつ、第2の電極15を選択する電位は、0Vに対して負極性である電圧パルスからなり、第1の電極14の電位は、0Vに対して正極性である電圧パルスからなる。さらに好ましくは、本発明の画像表示装置において、アドレス期間に印加される第3の電極16の選択電位は、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧を有する。

【0043】さらに好ましくは、本発明の画像表示装置において、第1の電圧供給手段4および第2の電圧供給手段5は、維持放電期間において、維持放電に必要な所定の印加電圧を取り除く場合に動作させる維持電圧解除用スイッチング手段を備えており、この維持電圧解除用スイッチング手段は、第1の電極14または第2の電極15に維持放電を実行するために必要な電流を流すための維持放電用スイッチング手段に対してインピーダンスの高い素子にて構成される。

【0044】さらに好ましくは、本発明の画像表示装置において、上記のインピーダンスの高い素子は、導通状態での抵抗が高い電界効果トランジスタから構成される。さらに好ましくは、本発明の画像表示装置において、上記のインピーダンスの高い素子は、上記電界効果トランジスタの出力段に抵抗を挿入することにより実現される。

【0045】さらに好ましくは、本発明の画像表示装置において、全面書き込み放電、および、全面自己消去放電による全表示セルのリセットを行う場合、第3の電極16に印加する電圧は、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧であり、第1、第2および第3の電極14、15および16のすべてを、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧にすることで全面自己消去放電が実行される。

【0046】また一方で、上記の第1の目的を達成するために、本発明の画像表示装置の駆動方法においては、第1の基板に第1の電極および第2の電極を表示ライン毎に平行に配置すると共に、第1の基板またはこの第1の基板と対向する第2の基板に第3の電極を第1および第2の電極と直交するように配置し、かつ、第1の電極または第2の電極のいずれか一方と、上記第3の電極により選択された画像表示パネル中の表示セルに対する書き込みを実行するアドレス期間と、この書き込みにより書き込まれた情報に基づいて第1および第2の電極で発光表示を実行する維持放電期間とを備えた画像表示装置を駆動する。

【0047】さらに、本発明の画像表示装置の駆動方法では、維持放電期間において、維持放電に必要な所定の電圧として、第1の電極に対し上記所定の電圧のほぼ1/2の電圧を印加すると共に、第2の電極に対し極性の異なるほぼ1/2の電圧を印加することにより維持放電を行う。さらに、アドレス期間において、第2の電極を選択する電位は、維持放電期間に印加される電圧とほぼ同等の電圧を有し、さらに、第2の電極に印加される電圧とは逆極性にて、維持放電期間に印加される電圧とほぼ同等の電圧が第1の電極に印加される。

【0048】好ましくは、本発明の画像表示装置の駆動方法において、アドレス期間に印加され、かつ、第2の電極を選択する電位は、0Vに対して負極性である電圧パルスからなり、第1の電極の電位は、0Vに対して正極性である電圧パルスからなる。さらに、好ましくは、本発明の画像表示装置の駆動方法において、アドレス期間に印加される第3の電極の選択電位は、0Vに対して正極性であり維持放電に必要な所定の電圧のほぼ1/2の電圧を有する。

【0049】さらに、上記の第2の目的を達成するために、本発明の画像表示装置の駆動方法では、維持放電期間において、維持放電を実行するために第1および第2の電極間にて交互に印加される双方の電圧パルスが入れ代わる際に、第3の電極の電位を一定電圧から引き下げるようにしている。さらに、好ましくは、上記の第2の目的を達成するために、本発明の画像表示装置の駆動方法では、維持放電期間において、第3の電極の電位を一定電圧から一旦、ほぼ0Vに引き下げ、その後上記第3の電極の電位を元の一定電圧に引き上げる場合、第1および第2の電極と第3の電極間の静電容量によって第3の電極の電位を引き上げるようにしている。

【0050】さらに、好ましくは、上記の第2の目的を達成するために、本発明の画像表示装置の駆動方法では、最初の維持放電用の電圧パルスが印加される場合のみ、第3の電極を駆動する手段によって上記第3の電極の電位を所定の電圧にするようにしている。

【0051】

【発明の実施の形態】上記の第1の目的を達成するための本発明の画像表示装置、または、画像表示装置の駆動方法によれば、第1に、維持放電に必要な電圧を1/2ずつ交互に異なる極性で、Xサスティン電極等の第1の電極と、Yスキャン電極等の第2の電極に印加している。それゆえに、アドレス電極等の維持放電に対する悪影響を最小限に抑えることが可能になると共に、アドレスデータドライバの低耐圧化も可能になる。さらに、Yスキャン電極等の選択電位と維持放電時の電位を同じものとしているため、電源の種類が節減され、電源回路の構成の簡素化が図れる。

【0052】さらに、本発明の画像表示装置、または、画像表示装置の駆動方法によれば、第2に、アドレス期

間にアドレス電極等に印加されるアドレスパルスは0Vに対して正極性であり、Yスキャン電極等に印加されるスキャンパルスは0Vに対して負極性であるため、選択書き込み放電時にアドレス電極側の蛍光体に対するイオンの衝撃を最小限に抑えることが可能になる。

【0053】さらに、本発明の画像表示装置、または、画像表示装置の駆動方法によれば、第3に、アドレスパルスは0Vに対して正極性であって、かつ、維持放電パルスと同じ電圧を有しているため、電源回路の構成が簡略化することが可能になる。さらに、本発明の画像表示装置によれば、第4に、維持放電パルスの電位を0Vにする場合、インピーダンスの高い素子を使用しているため、大電流が流れることがなくなり、他の回路へのノイズの侵入やノイズの放射が抑止されるので、誤動作や障害の発生を防止することが可能になる。

【0054】さらに、本発明の画像表示装置によれば、第5に、リセット期間において、充分にインピーダンスの低いスイッチング素子を利用して全面自己消去放電による全表示セルのリセットを行うことができるので、効率の良いリセット動作が可能になる。また、上記の第2の目的を達成するための本発明の画像表示装置の駆動方法によれば、第1に、維持放電期間におけるXサスティン電極等の第1の電極、および、Yスキャン電極等の第2の電極と、アドレス電極等の第3の電極との間での異常放電を防止するため、Xサスティン電極およびYスキャン電極に維持放電パルスが印加されている状態においては、アドレス電極を V_{aw} の電圧まで駆動することが必要である。このため、初めの維持放電パルス（Yスキャン電極の維持放電パルス）が印加される場合のみ、アドレス電極側の回路を使用して V_{aw} の電圧まで駆動させる。その後、Xサスティン電極およびYスキャン電極に印加される維持放電パルスが入れ替わるとき、すなわち、Xサスティン電極およびYスキャン電極が共に0Vのときのみ、アドレス電極の駆動波形として、電圧 V_{aw} のレベルから例えば0Vのレベルに下げるような電圧パルス波形を駆動することによって、アドレス期間における選択セルに対し安定した維持放電を行うことが可能になる。

【0055】ただし、上記のパルス状の駆動波形を実現する際に、0Vから再度、元の電圧 V_{aw} に引き上げる必要がある。従来の駆動方法である駆動回路部のドライバ機能を使用した場合、維持放電期間中の維持放電パルスと同等の駆動回数を要することになり、従来より多くの駆動電力を消費するという不都合が生ずる。このため、上記の第2の目的を達成するための本発明の画像表示パネルの駆動方法によれば、第2に、駆動回路部のドライバ機能を使用せずにXサスティン電極およびYスキャン電極とアドレス電極との間に存在する静電容量を利用し、アドレス電極の電圧を自的に引き上げているため、回路の駆動電力を抑えながら安定した維持放電を実

現することが可能になる。

【0056】

【実施例】以下、図2～図11を参照しながら、本発明の好適な実施例を説明する。以下の各実施例において、画像表示装置としてのAC型PDPは、例えば、前述の図12、図13および図14に示すような構造を有するものとする。さらに、AC型PDPを動作させる周辺回路は、概略的に、前述の図15に示した構成とほぼ同じである。

【0057】図2は、本発明の第1実施例において1サブフレームの期間に電極に印加する電圧パルスの駆動波形を示すタイミングチャートである。本発明の第1実施例に係る画像表示装置の駆動方法を示す図2のタイミングチャートにおいては、維持放電期間に印加される維持放電パルスの電圧である V_s のほぼ $1/2$ の値を、正極性と負極性（ $+1/2V_s$ 、 $-1/2V_s$ ）にてXサスティン電極およびYスキャン電極から印加し、極性を変えて維持放電を繰り返している。このとき、アドレス電極の電位は0Vに保持する。また一方で、リセット期間においては、Yスキャン電極に対し負極性の $-1/2V_s$ の電圧からなる電圧パルスを印加し、Xサスティン電極に対し正極性の $1/2V_s + V_w$ の電圧からなる電圧パルスを印加することにより、全面書き込み動作を行う。

【0058】次に、Xサスティン電極およびYスキャン電極の両電極を同時に0Vに戻すことによって、全面自己消去放電が起こり、全表示セルが壁電荷のない状態になる。このときも、アドレス電極の電位は0Vに保持されたままである。さらに、アドレス期間においては、Yスキャン電極に対し負極性の $-1/2V_s$ の電圧からなるスキャンパルスが印加され、これと同時に、アドレス電極に対し V_a の電圧からなるアドレスパルスが印加された選択セルにおいてアドレス放電が行われる。このような一連の動作は、1番目の表示ラインから最終番目の表示ラインまで実行される。このとき、Xサスティン電極の電位は、正極性の $+1/2V_s$ の電圧に保持される。

【0059】図3は、本発明の第1実施例による画像表示装置の駆動回路部の構成を示す回路図（その1）であり、図4は、本発明の第1実施例による画像表示装置の駆動回路部の構成を示す回路図（その2）である。ただし、ここでは、駆動回路部の電界効果トランジスタ（通常、FETと略記される）等のスイッチング素子（スイッチング手段）とダイオードの構成を重点的に図示することとする。

【0060】図3および図4において、第3の電極16を構成するアドレス電極A1、A2、A3、…、AMを駆動するためのアドレスデータドライバ60は、アドレス期間中にアドレス電極に対し電圧 V_a のアドレスパルスを供給するスイッチング素子からなる第1の電界効果

トランジスタT1と、維持放電期間中にアドレス電極の電位をほぼ0V（GNDレベル）に保持する第2の電界効果トランジスタT2とを含む。さらに、これらの電界効果トランジスタT1、T2に対し並列かつ逆極性でダイオードD1、D2が接続される。

【0061】さらに、第1の電極14を構成するXサスティン電極Xを駆動するためのX共通ドライバ40は、維持放電期間中に印加される維持放電パルスの電圧である V_s のほぼ $1/2$ の値を、それぞれ、正極性と負極性（ $+1/2V_s$ 、 $-1/2V_s$ ）にてXサスティン電極Xに供給するスイッチング素子からなる第13の電界効果トランジスタT13、および、第14の電界効果トランジスタT14を含む。さらに、これらの電界効果トランジスタT13、T14に対し並列かつ逆極性でダイオードD13、D14が接続される。上記の電界効果トランジスタT13、T14は、第1の電圧供給手段4としての機能を有している。

【0062】さらに、上記のX共通ドライバ40は、 V_w の電圧からなる書き込み用の電圧パルスを、コンデンサ41を介してXサスティン電極Xに供給するスイッチング素子からなる第15の電界効果トランジスタT15、および、第16の電界効果トランジスタT16を含む。さらに、これらの電界効果トランジスタT15、T16に対し並列かつ逆極性でダイオードD15、D16が接続される。これらのダイオードは、通常、FETに内蔵されている。

【0063】さらに、Xサスティン電極Xの電位を $+1/2V_s$ から0Vに戻すためのスイッチング素子からなる第11の電界効果トランジスタT11と、Xサスティン電極Xの電位を $-1/2V_s$ から0Vに戻すためのスイッチング素子からなる第12の電界効果トランジスタT12とが設けられている。さらに、これらの維持電圧解除用の電界効果トランジスタT11、T12に対し並列かつ逆極性でダイオードD11、D12が接続される。これらの電界効果トランジスタT11、T12は、オン状態（導通状態）での抵抗が比較的高い素子から構成されている。

【0064】さらに、図3において、第2の電極15を構成するYスキャン電極Y1、Y2、Y3、…、YNを駆動するためのY共通ドライバ50は、維持放電期間中に印加される維持放電パルスの電圧である V_s のほぼ $1/2$ の値を、それぞれ、負極性と正極性（ $-1/2V_s$ 、 $+1/2V_s$ ）にてYスキャン電極に供給するスイッチング素子からなる第3の電界効果トランジスタT3、および、第4の電界効果トランジスタT4を含む。さらに、これらの電界効果トランジスタT3、T4に対し並列かつ逆極性でダイオードD3、D4が接続される。上記の電界効果トランジスタT3、T4は、第2の電圧供給手段5としての機能を有している。

【0065】さらに、第3の電界効果トランジスタT3

と $+1/2V_s$ の電圧供給用の電源との間にはダイオードD30が接続され、第4の電界効果トランジスタT4と $-1/2V_s$ の電圧供給用の電源との間にはダイオードD30が接続されている。さらに、Yスキャン電極の電位を $+1/2V_s$ から0Vに引き下げるための第5のスイッチング素子からなる電界効果トランジスタT5と、Yスキャン電極の電位を $-1/2V_s$ から0Vに引き上げるためのスイッチング素子からなる第6の電界効果トランジスタT6とが設けられている。さらに、これらの維持電圧解除用の電界効果トランジスタT5、T6に対し並列かつ逆極性でダイオードD5、D6が接続される。これらの電界効果トランジスタT5、T6は、オン状態での抵抗が比較的高い素子から構成されている。

【0066】さらに、アドレス期間において、Yスキャンドライバ55に対し0Vの非選択信号SDを供給するスイッチング素子からなる第7の電界効果トランジスタT7と、Yスキャンドライバ55に対し $-1/2V_s$ の選択信号SUを供給するスイッチング素子からなる第8の電界効果トランジスタT8とが設けられている。さらに、これらの電界効果トランジスタT7、T8に対し並列かつ逆極性でダイオードD7、D8が接続される。さらに、第7の電界効果トランジスタT7と直列にダイオードD70が接続されている。

【0067】さらに、図3において、Yスキャンドライバ55は、非選択セルを駆動するためのスイッチング素子からなる第9の電界効果トランジスタT9と、選択セルを駆動するためのスイッチング素子からなる第10の電界効果トランジスタT10とを含む。さらに、これらの電界効果トランジスタT9、T10に対し並列かつ逆極性でダイオードD9、D10が接続される。

【0068】なお、図3および図4の実施例の駆動回路部では、Xサスティン電極およびYスキャン電極の電位を、 $-1/2V_s$ または $+1/2V_s$ から0Vに戻すためのスイッチング素子が必要になる。ただし、これらのスイッチング素子は、ガス放電電流を流す必要がないため、スイッチング素子の個数の増加はほとんど問題にはならない。

【0069】図5は、本発明の第1実施例の駆動回路部の動作を説明するためのタイミングチャートである。図5において、リセット期間中の全面書き込み時は、Yスキャン電極に接続されるY共通ドライバ側の第3の電界効果トランジスタT3がオン状態になる。さらに、第3の電界効果トランジスタT3がオン状態になると、対応する信号がYスキャンドライバ内のダイオードを経由してYスキャン電極の電位が $-1/2V_s$ に引き込まれる。さらに、Xサスティン電極に接続されているX共通ドライバ側の第13の電界効果トランジスタT13および第15の電界効果トランジスタT15がオン状態になり、Xサスティン電極に対し $1/2V_s + V_w$ の電圧からなる電圧パルスが印加される。この電圧パルスの終了

後は、第6の電界効果トランジスタT6がオン状態になってYスキャン電極の電位を0Vに引き上げ、同時に、第12の電界効果トランジスタT12がオン状態になってXサスティン電極の電位を0Vに引き下げる。

【0070】アドレス期間においては、Y共通ドライバ側の第7の電界効果トランジスタT7および第8の電界効果トランジスタ8がそれぞれオン状態になって、Yスキャンドライバの非選択信号SDの側に、非選択電位である0Vを印加すると共に、Yスキャンドライバの選択信号SUの側に、選択電位である $-1/2V_s$ を印加する。さらに、Yスキャンドライバ内の第9の電界効果トランジスタ9を非選択時にオン状態にし、第10の電界効果トランジスタT10を選択時にオン状態にすることで、Yスキャン電極に順次スキャンパルス印加する。このときに、Xサスティン電極は $+1/2V_s$ に保持されるため、第13の電界効果トランジスタT13がオン状態になり続ける。アドレスデータドライバは、選択/非選択に応じて第1の電界効果トランジスタT1および第2の電界効果トランジスタT2のオン/オフ動作を行う。

【0071】維持放電期間においては、Y共通ドライバ側の電界効果トランジスタT3~T6、および、X共通ドライバ側の電界効果トランジスタT11~T14がオン/オフ動作を繰り返し、Xサスティン電極およびYスキャン電極に維持放電パルスを印加する。維持放電時の放電により電流が流れる電界効果トランジスタは、T3、T4、T13、およびT14である。

【0072】図6は、本発明の第2実施例による画像表示装置の駆動回路部の構成を示す回路図(その1)であり、図7は、本発明の第2実施例による画像表示装置の駆動回路部の構成を示す回路図(その2)である。ただし、ここでも、前述の第1実施例(図3および図4)の場合と同じように、駆動回路部の電界効果トランジスタ等のスイッチング素子(スイッチング手段)とダイオードの構成を重点的に図示することとする。

【0073】本発明の第2実施例の構成は、前述の第2実施例の構成と概ね同じであるが、維持電圧解除用の電界効果トランジスタT5、T6、T11およびT12に対し抵抗51、52、42および43をそれぞれ接続している点が前述の第2実施例の場合と異なる。図6および図7に示す第2実施例においては、維持電圧解除用の電界効果トランジスタの出力段に抵抗を挿入することにより、スイッチング素子を含むスイッチング手段のインピーダンスをさらに高くしている。このような構成により、特に維持放電パルスの立ち下がりが安定に行えるようになっている。

【0074】図8は、本発明の第2実施例の駆動回路部の動作を説明するためのタイミングチャートである。図8に示すタイミングチャートは、前述の第2実施例の場合のタイミングチャート(図5)と概ね同じである。た

だし、図8においては、Xサスティン電極およびYスキャン電極に印加される維持放電パルスの電圧を0Vに戻す場合、抵抗51、52、42および43の挿入によって電界効果トランジスタT5、T6、T11およびT12をそれぞれ流れる電流を制限するようにしている。このため、維持放電パルスの立ち下がりが緩やかになって大電流が流れるのを抑制することができるので、大電流によるノイズの発生を防止することが可能になる。また一方で、リセット期間においては、オン抵抗の比較的低い電界効果トランジスタT13、T15を動作させることにより、大電流が流れる状態にて全面自己消去放電を効率良く行えるようにしている。

【0075】図9は、本発明の第3実施例において1サブフレームの期間に電極に印加する電圧パルスの駆動波形を示すタイミングチャートである。上記第3実施例においては、従来の駆動方式であるアドレス期間/維持放電期間分離型・書き込みアドレス方式に基づいた例を示している。図9のタイミングチャートにおいては、各電極に印加する電圧パルスの1サブフレームの期間は、リセット期間、アドレス期間および維持放電期間に分離される。

【0076】リセット期間においては、全表示セルの初期化を目的として、Xサスティン電極に対し正極性の $V_s + V_w$ の電圧からなる電圧パルスを印加することにより、全面書き込み動作を行う。次に、Xサスティン電極の電位を0Vに戻すことによって、全面自己消去放電が行われる。さらに、アドレス期間において、表示データに応じた選択セルに対し、アドレス電極およびYスキャン電極間の放電を線順次走査方式により実行し、選択セルの壁電荷のセットを行う。

【0077】そして、維持放電期間において、Xサスティン電極とYスキャン電極に対し交互に、 V_s の電圧(例えば、180V)からなる維持放電パルスを印加し、壁電荷のセットがなされた選択セルに対し維持放電が行われる。すなわち、この場合は、従来と同じ構成のドライバを使用することにより、全面書き込み動作、全面自己消去放電、アドレス放電および維持放電が行われる。

【0078】さらに、図9において、上記の維持放電期間を開始する際、初めの維持放電パルス(すなわち、Yスキャン電極の維持放電パルス)が印加される場合のみアドレス電極側の回路を使用し、アドレス電極を電圧 V_{aw} の電位まで引き上げ、Xサスティン電極、Yスキャン電極およびアドレス電極からなる3電極間での放電電位の安定化を図るようにしている。

【0079】その後、上記の維持放電期間におけるアドレス電極の駆動波形として、Xサスティン電極とYスキャン電極の維持放電パルスが入れ替わる際(維持放電パルスが未出力のとき)に電圧 V_{aw} のレベルから0Vのレベルに下げるようなパルス波形を印加することによ

り、アドレス期間における選択セルの安定した維持放電を行うことが可能になる。

【0080】図10は、本発明の第3実施例に係るアドレス電極部の構成を示す図であり、図11は、本発明の第3実施例のアドレス電極部の動作を説明するためのタイミングチャートである。ここで、アドレス電極部とは、アドレスデータドライバ60、および、このアドレスデータドライバ60に接続されたアドレス電極を有する画像表示パネル2を含む構成部分を指すものとする。

【0081】図10において、第3の電極16を構成するアドレス電極を駆動するためのアドレスデータドライバ60は、リセット期間および維持放電期間の初めの部分においてアドレス電極に対し電圧 V_{aw} の電圧パルスを提供するスイッチング素子からなる電界効果トランジスタ61と、アドレス電極の電位を0Vに保持する電界効果トランジスタ62とを含む。さらに、これらの電界効果トランジスタ61、62に対し並列かつ逆極性でダイオード63、64が接続される。

【0082】図10のアドレス電極部において、アドレス電極に対するパルス状の駆動波形の供給を実現させるために、0Vから再度、元の電圧に引き上げる際の駆動方法として、駆動回路部のドライバ機能を使用せずにXサスティン電極およびYスキャン電極とアドレス電極との間の静電容量（パネルコンデンサ容量）を利用することにより、アドレス電極の電位を自的に引き上げるようにしている。このような電極間の交点に存在する静電容量を利用した駆動方法を実行することにより、駆動回路部の駆動電力の増加を抑えることが可能になる。

【0083】さらに詳しく説明すると、本発明の第3実施例においては、図10に示すように、Xサスティン電極およびアドレス電極間の静電容量C13、Yスキャン電極およびアドレス電極間の静電容量C23、ならびに、Xサスティン電極およびYスキャン電極間の静電容量C12を利用してアドレス電極の電位を自的に引き上げるようにしている。これらの静電容量を利用することにより、約100Vまで自的に電位を引き上げることが可能になる。さらに、これらの静電容量により昇圧した電位は、アドレスデータドライバ60内のスイッチング素子によって強制的に0Vに戻すようになっている。

【0084】換言すれば、図11のタイミングチャートに示すように、アドレスデータドライバ60に入力される高電位側FET制御信号UPおよび低電位側FET制御信号DOWNに基づき、電界効果トランジスタ61および電界効果トランジスタ62をオン状態にすることにより、アドレス電極の電位を V_{aw} の電圧から0Vの電圧に引き下げるようにしている。その後、アドレスデータドライバ内の電界効果トランジスタが高インピーダンスの状態ではXサスティン電極またはYスキャン電極のい

ずれかの電圧が立ち上がると、上記の静電容量によってアドレス電極の電位が再び V_{aw} の電圧まで引き上げられる。このような一連の動作により、駆動回路部の能力を利用せずにパルス状の電圧を印加することが可能になる。

【0085】

【発明の効果】以上説明したように、本発明の画像表示装置によれば、第1に、維持放電に必要な電圧を1/2ずつ交互に異なる極性で、Xサスティン電極等の第1の電極と、Yスキャン電極等の第2の電極に印加している。それゆえに、アドレス電極等の維持放電に対する悪影響を最小限に抑えることが可能になると共に、低耐圧のアドレスデータドライバの使用が可能になる。さらに、Yスキャン電極等の選択電位と維持放電時の電位を同じものとしているため、電源の種類が節減され、電源回路の構成の簡素化が図れるので、低コストで信頼性の高い表示装置を提供することができる。

【0086】さらに、本発明の画像表示装置によれば、第2に、アドレス期間にアドレス電極等に印加されるアドレスパルスは0Vに対して正極性であり、Yスキャン電極等に印加されるスキャンパルスは0Vに対して負極性であるため、選択書き込み放電時にアドレス電極側の蛍光体に対するイオンの衝撃が最小限に抑えられる。さらに、本発明の画像表示装置によれば、第3に、アドレスパルスは0Vに対して正極性であって、かつ、維持放電パルスと同じ電圧を有しているので、電源回路の構成の簡素化が図れる。

【0087】さらに、本発明の画像表示装置によれば、第4に、維持放電パルスの電位を0Vにする場合、インピーダンスの高い素子を使用しているため、大電流が流れることがなくなり、他の回路へのノイズの侵入等に起因する誤動作や障害の発生を防止することができる。さらに、本発明の画像表示装置によれば、第5に、リセット期間中は、十分にインピーダンスの低いスイッチング素子を利用して全面自己消去放電による全表示セルのリセットを行うことができるので、効率の良い安定したリセット動作が行える。

【0088】また一方で本発明の画像表示装置の駆動方法によれば、第1に、維持放電に必要な電圧を1/2ずつ交互に異なる極性で、Xサスティン電極等の第1の電極と、Yスキャン電極等の第2の電極に印加している。それゆえに、アドレス電極等の維持放電に対する悪影響を最小限に抑えることが可能になると共に、アドレスデータドライバの低耐圧化も可能になる。

【0089】さらに、本発明の画像表示装置の駆動方法によれば、第2に、アドレス期間にアドレス電極等に印加されるアドレスパルスは0Vに対して正極性であり、Yスキャン電極等に印加されるスキャンパルスは0Vに対して負極性であるため、選択書き込み放電時にアドレス電極側の蛍光体に対するイオンの衝撃に起因する画像

表示パネルの品質低下が抑えられる。

【0090】さらに、本発明の画像表示装置の駆動方法によれば、第3に、アドレスパルスは0Vに対して正極性であって、かつ、維持放電パルスと同じ電圧を有しているため、電源回路の構成および制御方法が簡単になる。さらに、本発明の画像表示装置の駆動方法によれば、第4に、Xサスティン電極およびYスキャン電極に印加される維持放電パルスが入れ替わるとき、すなわち、Xサスティン電極およびYスキャン電極が共に0Vのときのみ、アドレス電極の駆動波形として、電圧 V_{aw} のレベルから例えば0Vのレベルに下げようような電圧パルスを印加することによって、アドレス期間における選択セルに対し安定した維持放電が行える。この結果、画像表示パネルの動作特性の向上が図れるようになる。

【0091】さらに、本発明の画像表示装置の駆動方法によれば、第5に、駆動回路部のドライバ機能を使用せずにXサスティン電極およびYスキャン電極とアドレス電極との間に存在する静電容量を利用し、アドレス電極の電圧を自動的に引き上げているため、回路の駆動電力の増加を抑えながら安定した維持放電が実現される。さらに、本発明の画像表示装置の駆動方法によれば、第6に、初めの維持放電パルスが印加される場合のみ、アドレス電極側の回路を使用して一定電圧(V_{aw} の電圧)まで駆動させるようにしているため、維持放電期間中のアドレス電極、Xサスティン電極、およびYスキャン電極間での放電電位の安定化が図れる。

【図面の簡単な説明】

【図1】本発明の原理構成を示すブロック図である。

【図2】本発明の第1実施例において1サブフレームの期間に電極に印加する電圧パルスの駆動波形を示すタイミングチャートである。

【図3】本発明の第1実施例による画像表示装置の駆動回路部の構成を示す回路図(その1)である。

【図4】本発明の第1実施例による画像表示装置の駆動回路部の構成を示す回路図(その2)である。

【図5】本発明の第1実施例の駆動回路部の動作を説明するためのタイミングチャートである。

【図6】本発明の第2実施例による画像表示装置の駆動回路部の構成を示す回路図(その1)である。

【図7】本発明の第2実施例による画像表示装置の駆動回路部の構成を示す回路図(その2)である。

【図8】本発明の第2実施例の駆動回路部の動作を説明するためのタイミングチャートである。

【図9】本発明の第3実施例において1サブフレームの期間に電極に印加する電圧パルスの駆動波形を示すタイミングチャートである。

【図10】本発明の第3実施例に関するアドレス電極部の構成を示す図である。

【図11】本発明の第3実施例のアドレス電極部の動作を説明するためのタイミングチャートである。

【図12】一般的な3電極面放電・AC型PDPの概略的構造を示す平面図である。

【図13】一般的な3電極面放電・AC型PDPのアドレス電極に沿った概略的構造を示す断面図である。

【図14】一般的な3電極面放電・AC型PDPの維持電極に沿った概略的構造を示す断面図である。

【図15】一般的な3電極面放電・AC型PDPを駆動するための周辺回路の構成を示すブロック図である。

【図16】アドレス期間/維持放電期間分離型・書き込みアドレス方式で、かつ、リセット期間に全面消去放電を用いた従来の画像表示パネル駆動方式を説明するための駆動波形図である。

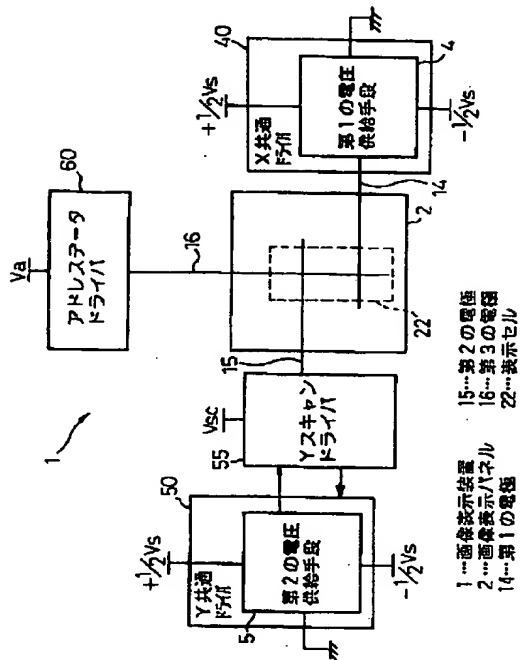
【図17】図16のアドレス期間/維持放電期間分離型・書き込みアドレス方式において複数のサブフレームを形成した状態を示す図である。

【符号の説明】

- 1…画像表示装置
- 2…画像表示パネル
- 4…第1の電圧供給手段
- 5…第2の電圧供給手段
- 14…第1の電極
- 15…第2の電極
- 16…第3の電極
- 22…表示セル
- 31…制御回路部
- 32…表示データ制御部
- 33…フレームメモリ部
- 34…パネル駆動制御部
- 35…スキャンドライバ制御部
- 36…共通ドライバ制御部
- 40…X共通ドライバ
- 50…Y共通ドライバ
- 55…Yスキャンドライバ
- 60…アドレスデータドライバ
- T1～T16…電界効果トランジスタ

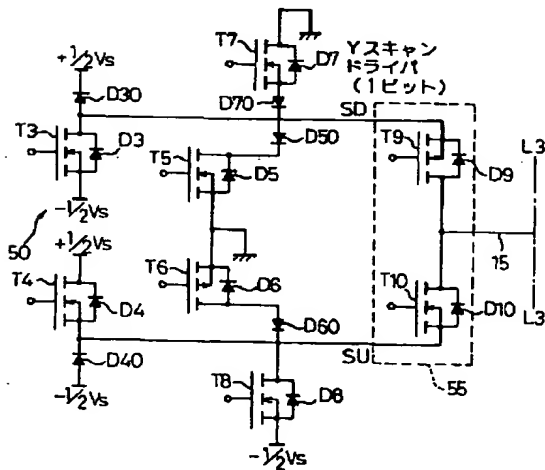
【図1】

本発明の原理構成を示すブロック図



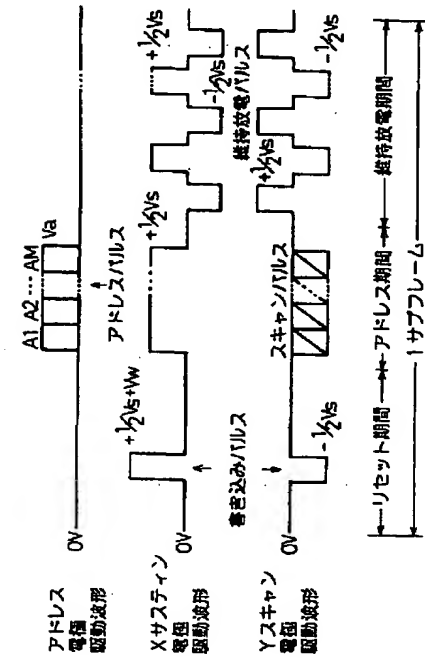
【図3】

本発明の第1実施例による画像表示装置の主要部の構成を示す回路図(その1)



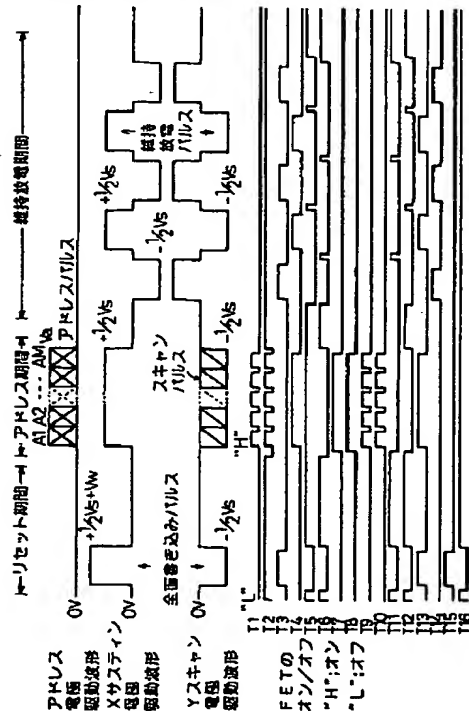
【図2】

本発明の第1実施例において1サブフレームの期間に電極に印加する電圧パルスの駆動波形を示すタイミングチャート



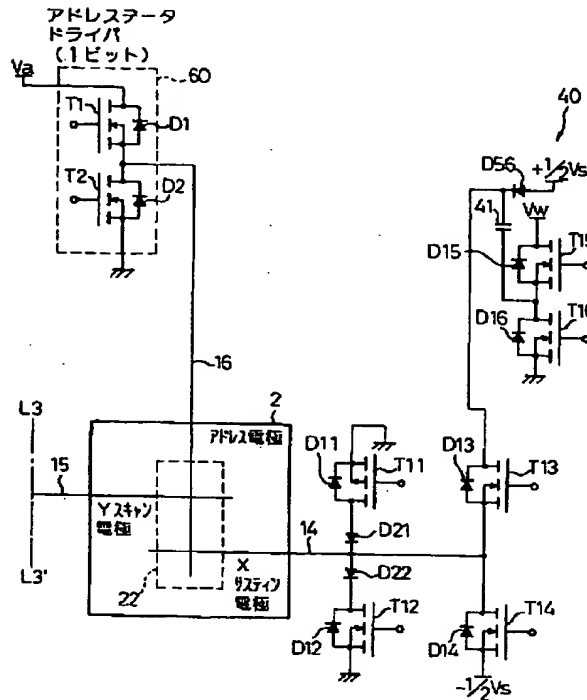
【図5】

本発明の第1実施例の駆動回路部の動作を説明するためのタイミングチャート



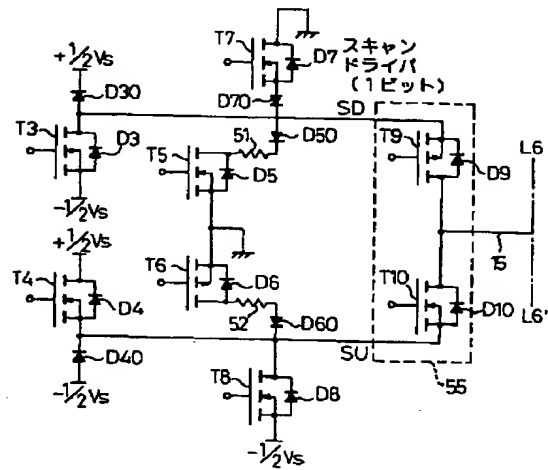
【図4】

本発明の第1実施例による画像表示装置の駆動回路部の構成を示す回路図(その2)



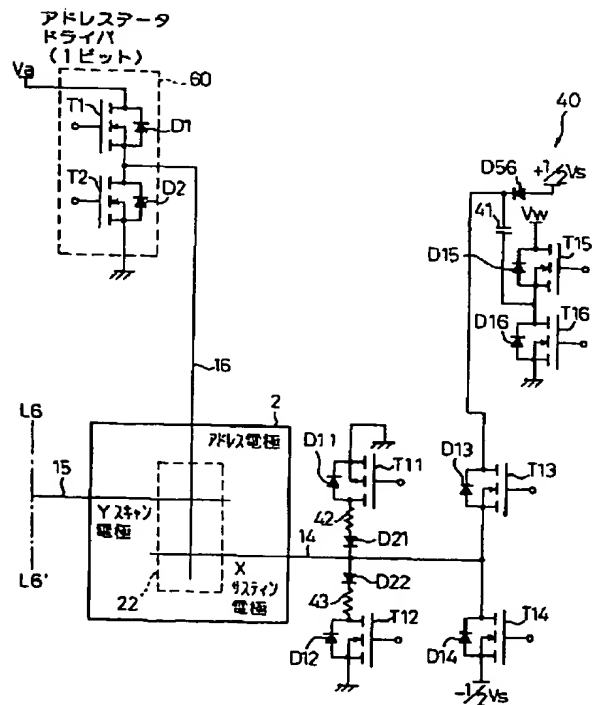
【図6】

本発明の第2実施例による画像表示装置の駆動回路部の構成を示す回路図(その1)



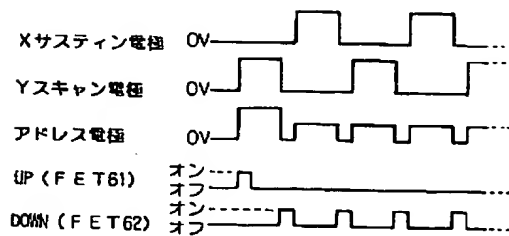
【図7】

本発明の第2実施例による画像表示装置の駆動回路部の構成を示す回路図(その2)

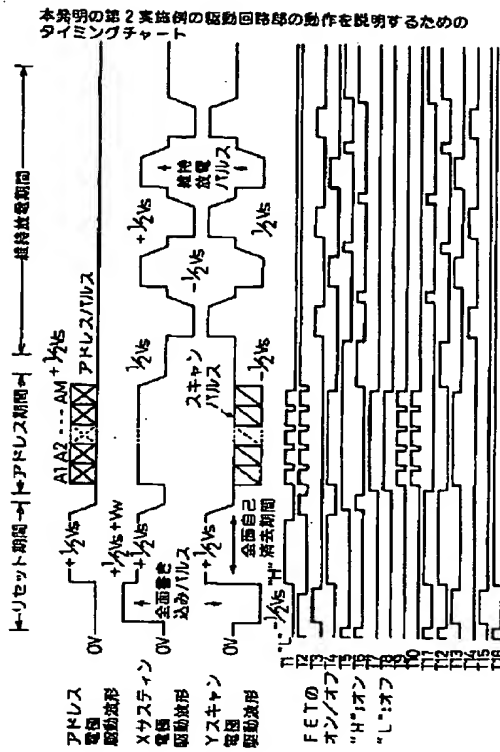


【図11】

本発明の第3実施例のアドレス電極部の動作を説明するためのタイミングチャート

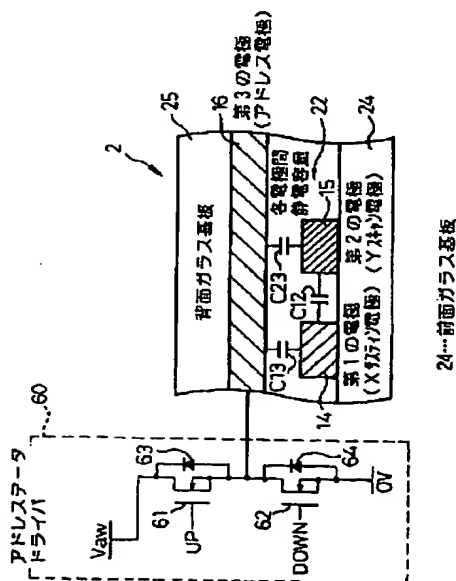


【図8】



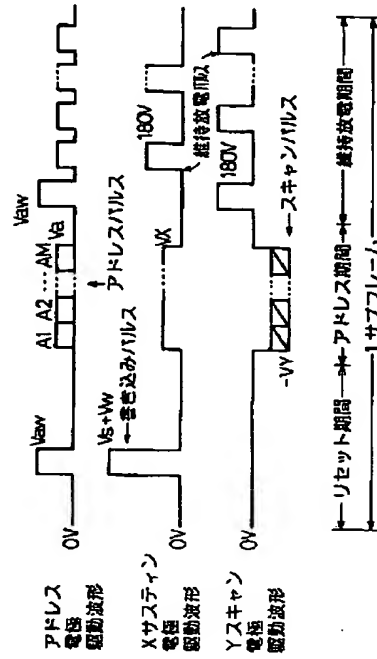
【図10】

本発明の第3実施例に係るアドレス電極部の構成を示す図



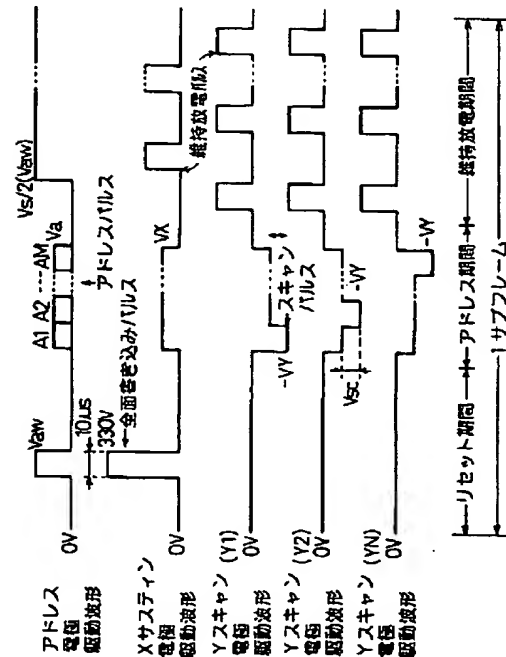
【図9】

本発明の第3実施例において1サブフレームの期間に電極に印加する電圧パルスの駆動波形を示すタイミングチャート



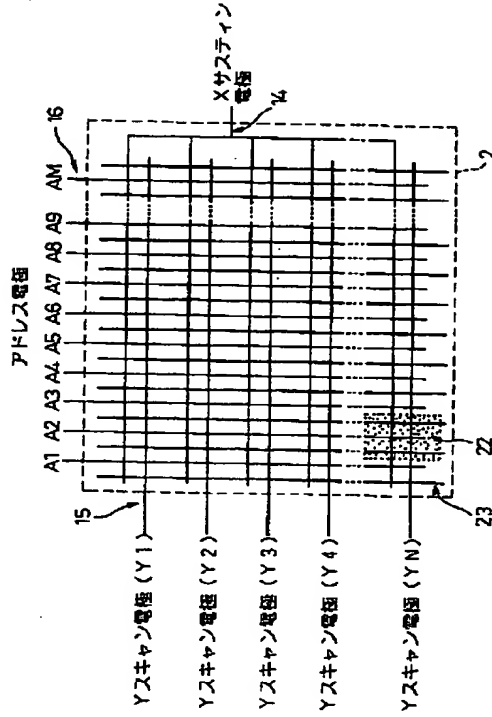
【図16】

アドレス期間/維持放電期間分離型・書き込みアドレス方式で、かつ、リセット期間に全面自己消去放電を用いた従来の画像表示パネル駆動方式を説明するための駆動波形図



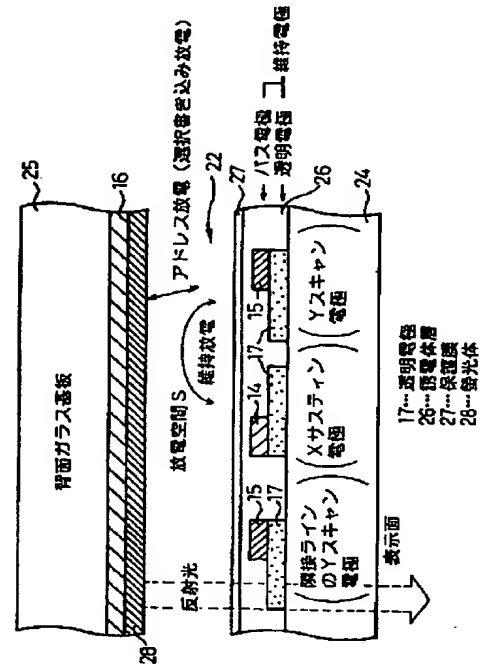
【図12】

一般的な3電極面放電・AC型PDPの概略的構造を示す平面図



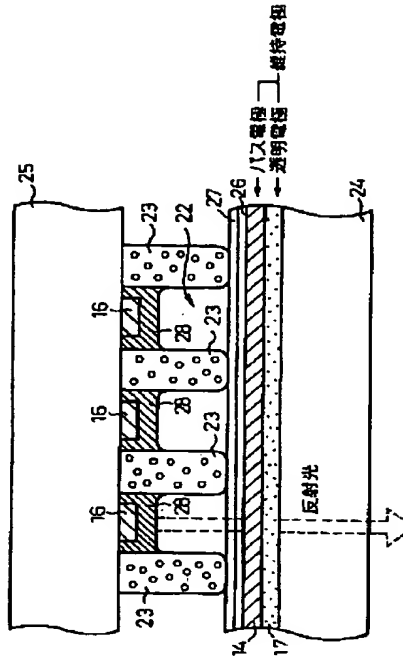
【図13】

一般的な3電極面放電・AC型PDPのアドレス電極に沿った概略的構造を示す断面図



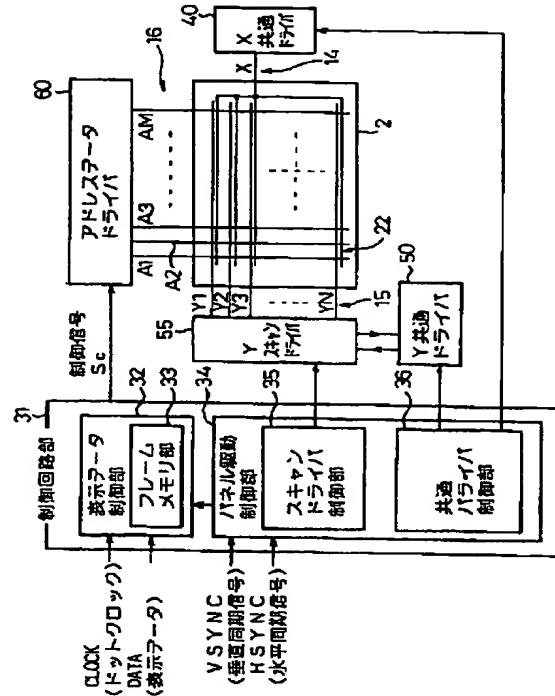
【図14】

一般的な3電極面放電・AC型PDPの維持電極に沿った概略的構造を示す断面図



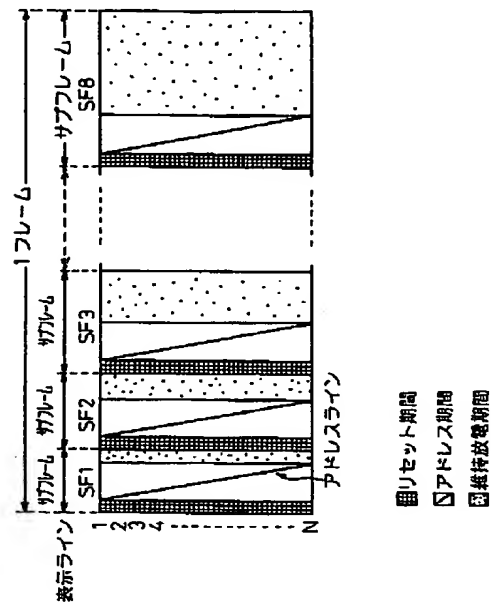
【図15】

一般的な3電極面放電・AC型PDPを駆動するための周辺回路の構成を示すブロック図



【図17】

図16のアドレス期間／維持放電期間分離型・書き込みアドレス方式において複数のサブフレームを形成した状態を示す図



フロントページの続き

(72)発明者 松井 直紀
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 広瀬 忠継
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 町田 淳
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72)発明者 ゲン タン ニャン
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内